

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-156249

(P2001-156249A)

(43) 公開日 平成13年6月8日(2001.6.8)

(51) Int.Cl.⁷

H01L 25/065

25/07

25/18

識別記号

FI

H01L 25/08

メモコード(参考)

B

審査請求 有 請求項の数10 OL (全5頁)

(21) 出願番号 特願2000-306763(P2000-306763)

(22) 出願日 平成12年10月5日(2000.10.5)

(31) 優先権主張番号 416617

(32) 優先日 平成11年10月12日(1999.10.12)

(33) 優先権主張国 米国(US)

(71) 出願人 399117121

アジレント・テクノロジーズ・インク

AGILENT TECHNOLOGIES, INC.

アメリカ合衆国カリフォルニア州パロアルト ページ・ミル・ロード 395

(72) 発明者 ジェームス・ダレン・ブレゾー

アメリカ合衆国オレゴン州アルバニー シヤノン・ドライブ 462

(74) 代理人 100105913

弁理士 加藤 公久

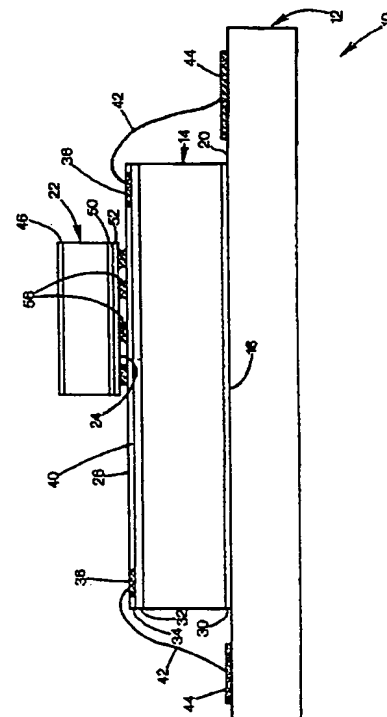
最終頁に続く

(54) 【発明の名称】 集積回路アセンブリ

(57) 【要約】

【課題】 インダクタンスおよびEMIの影響を受けにくく、コストも低くすることができ、サイズも抑えることができる、2つ以上の非互換性ICプロセスで作成されるチップによる集積回路アセンブリを提供する。

【解決手段】 集積回路アセンブリに対して、マザー・ダイ14上に積層されたドーター・ダイ22を設け、ダイの回路層32、50は互いに対向し、ダイは導電層またははんだバンプによって接続される。



【特許請求の範囲】

【請求項 1】複数個の導電性コンタクト・パッドを含む上面を有するマザー・ダイと、前記マザー・ダイの前記上面に接続されたドーター・ダイと

を含み、前記ドーター・ダイは、前記マザー・ダイの前記コンタクト・パッドのそれぞれと位置合わせされ各々が電氣的に接続された複数個の導電性コンタクト・パッドを含む下面を有することを特徴とする集積回路アセンブリ。

【請求項 2】前記マザー・ダイの前記上面は複数個の回路層を含み、前記ドーター・ダイの下面は複数個の回路層を含み、前記ダイの前記回路層が対向するようにした請求項 1 記載の集積回路アセンブリ。

【請求項 3】前記ダイ間に導電性層を含む請求項 1 または請求項 2 記載の集積回路アセンブリ。

【請求項 4】前記コンタクト・パッドの少なくともいくつかは、はんだバンプである請求項 1 ないし請求項 3 のいずれかに記載の集積回路アセンブリ。

【請求項 5】前記ドーター・ダイは周辺縁部を有し、前記コンタクト・パッドの少なくともいくつかは、異なる量で前記縁部から離れて配置される請求項 1 ないし請求項 4 のいずれかに記載の集積回路アセンブリ。

【請求項 6】前記マザー・ダイは、前記ドーター・ダイとは異なるプロセス標準に合わせて作成される請求項 1 ないし請求項 5 のいずれかに記載の集積回路アセンブリ。

【請求項 7】前記マザー・ダイは、前記ドーター・ダイよりも小さい最小線幅を有する請求項 1 ないし請求項 6 のいずれかに記載の集積回路アセンブリ。

【請求項 8】前記ドーター・ダイは、前記マザー・ダイよりも高い電圧容量を有する請求項 1 ないし請求項 7 のいずれかに記載の集積回路アセンブリ。

【請求項 9】前記マザー・ダイは、前記ドーター・ダイから離れて配置された外部コンタクト・パッドに前記コンタクト・パッドの 1 つを接続する高電圧線を有する請求項 1 ないし請求項 8 のいずれかに記載の集積回路アセンブリ。

【請求項 10】前記マザー・ダイの前記上面に接続された第 2 のドーター・ダイを含む請求項 1 ないし請求項 9 のいずれかに記載の集積回路アセンブリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に集積回路アセンブリに関するものであり、さらに詳細に記せば、マルチチップ集積回路アセンブリに関する。

【0002】

【従来の技術】電子装置は、小型のパッケージ中で複雑な動作を制御する集積回路チップを使用する。用途特化型集積回路 (ASIC) 装置は、特定の機能を提供する

ように特注設計が行なわれるものである。回路パターン
の線幅と間隔を狭くして小型形状を可能とする製造プロセスが開発されたため、ASICチップのサイズは縮小可能となり、部品の大きさおよび費用 (コスト) も削減され、または所与のチップ・サイズに多くの機能を備えられるようになった。しかしながら、ある閾値より下の小型形状は、ASICチップがインタフェースを行なう他の電子部品によって必要とされる中程度の入出力 (I/O) 電圧には適さない。

10 【0003】さらに、選択集積回路製造プロセスで作成されるチップは、ある一定の所望の機能を欠く場合がある。例えば、デジタル・データ処理機能 (例えば CMOS) の小型化を最適化するように作成されたチップは、単一回路中で理想的に望まれるであろうアナログ信号処理、DRAM、FeRAM、またはFLASH機能に対して不適である。チップ上において互換性のない機能を正常に結合できる場合でも、機能の 1 つ以上を妥協することになってしまう。

20 【0004】現在、2 つ以上の非互換性 IC プロセスを提供するには、複数のチップが必要とされる。通常の間隔で素子間を分離すると、延長接続が動作速度を制限し、インダクタンスおよびEMIの影響を受けやすくなり、製造および素子のコストを増加させ、残念ながらサイズも増加させてしまう。サイズの小型化を実現するために、複数のチップが単一パッケージ中に含まれてきた。例えば、米国特許第 5, 777, 345 号は、ダイがより大きなダイの上面に取付けられるマルチ・チップ集積回路パッケージを開示している。上方ダイの周辺ボンディング・パッドは、支持ダイの周辺パッドに対してワイヤー・ボンディングによって接続され、リード・フレームの周囲パッドに結合される。しかしながら、ボンディング長さを通常範囲内に抑えるようにするために、このアプローチは、パッドの配置とともに、支持ダイに関連する上方ダイのサイズ、数および位置における柔軟性を欠く。さらに、ワイヤー・ボンディングが長くなり、パッドの配置が制限されることによって、線およびループ・ワイヤーが長くなり、インダクタンスの影響を増加させる。また、ボンディング・ワイヤー・ループの高さは、保護パッケージ中に収容されなければならない、必要とされるよりも外形が高くなる。また、各積層ダイの上部上の回路間の間隔は、EMIの利点を制限し、上方ダイの上面は遮蔽されない。

30 【0005】

【発明が解決しようとする課題】以上の問題点を鑑み、インダクタンスおよびEMIの影響を受けにくく、コストも低くすることができ、サイズも抑えることができる、2 つ以上の非互換性 IC プロセスで作成されるチップによる集積回路アセンブリおよびそのアセンブリ方法が必要とされている。

40 【0006】

【問題を解決するための手段】本発明は、集積回路アセンブリに対して、マザー・ダイ上に積層されたドーター・ダイを提供することによって、先行技術の制限を克服するものである。マザー・ダイの上面は、数多くの導電性コンタクト・パッドを含み、ドーター・ダイの下面は、マザー・ダイのコンタクト・パッドのそれぞれと位置合わせされ各々が電氣的に接続された数多くの対応導電性コンタクト・パッドを有する。パッドは、ドーター・ダイの周辺部から離れた場所を含む任意の場所に配置することが可能である。ダイの回路層は、互いに対向可能であり、さらにダイは導電層またははんだバンプによって接続されることが可能である。

【0007】

【発明の実施の形態】図1は、プリント回路基板12を含む回路アセンブリ10を示すもので、第1の集積回路チップ、すなわちマザー・ダイ14は、基板の上面20に接続された下面16を有する。第2の集積回路チップ、すなわちドーター・ダイ22は、マザー・ダイの上面26に電氣的および機械的に接続された下面24を有する。

【0008】マザー・ダイは、その下面に金属接地板30を有し、チップの機能回路を有する複数層を含む上面26の近傍に上方回路部32を有する。上層34は、上面の周辺部に金属ボンディング・パッド36と、マザー・ダイ回路とボンディング・パッドと上面の他の選択位置との間の電氣的接続を含む再分布層部材40とを含む。ボンディング・ワイヤー42は、基板上で、各ボンディング・パッド36を各ボンディング・パッド44に接続する。

【0009】ドーター・ダイ22は、マザー・ダイに対して上下反対となっており、接地板46はマザー・ダイから離れて上方に向いており、回路部50は、マザー・ダイに向かって下方に向いている。再分布層52は回路部を被覆し、ドーター・ダイの下面の選択領域と回路部50中の回路要素との間の選択電氣接続を供給する。

【0010】図2に示すように、数多くのコンタクト位置54は、ドーター・ダイの領域の周りに配置されている。それらの位置のそれぞれにおいて、ダイの間は電氣的に接続されている。図示の実施形態において、この接続は、表面に事前印刷されたはんだバンプから形成されるはんだ接合部56によって、ダイの少なくとも1つに対してなされる。このコンタクト位置は、制約なく配置されることが可能で、ドーター・ダイ表面上の接続位置の実質的に任意の配列において、周辺場所とともに中央および中間位置を含む。短絡を避けるために位置間に最小限の間隔を設けることを除き、あらゆる場所が許容可能である。これによって、表面全体は、必要に応じて数多くの接続で埋められることが可能となり、接続は、ドーター（またはマザー）ダイ上に回路が最適に配置された場所に施されることが可能となる。その位置への引き

回し線の過剰な使用を避けることによって、ダイ領域は縮小され、EMI問題も低減される。

【0011】好適実施形態において、マザー・ダイおよびドーター・ダイは、様々な半導体チップ作成プロセス標準から作成され、各標準は、各チップの性能、コストおよびその他の優先事項を最適化するように選択される。一例において、マザー・ダイは、最小限のサイズ・パターン形状を有する高速CMOSチップで、低電圧信号とともに使用される。ドーター・ダイは、大形状プロセス標準に合わせて作成され、低電圧信号を、基板以外の場所、または基板の外部に配置された他の回路によって必要とされる高線間電圧に変換する駆動回路を含む。したがって、マザー・ダイ上でその高速機能を使用して生成される出力信号は、1つの接続56を介してドーター・ダイまで伝送され、ドーター・ダイの回路はその信号を高電圧まで増大される。この高電圧信号は、異なる接続を介してマザー・ダイに伝送される。そこから、マザー・ダイ上に適切な「締め出し」空間を有し、最小標準より幅広の線は、その高電圧信号をボンディング・パッド36に運ぶ。マザー・ダイ上の他の回路は、EMI効果を回避するために、この高電圧線から適切に離れて配置されることが可能である。マザー・ダイは単純な高電圧信号を運ぶことができるが、そのような電圧の信号を処理することができない。

【0012】好適実施形態において、ダイははんだ接合部の最小の厚さ以外の間隔が実質的に全くなく対向するように向けられている。表面のこの隣接は、導電経路の長さを最小限におさえ、それによってインダクタンスおよびEMI効果を低減する。さらに、このサンドイッチの最も外側の面に接地板30、46を有することによって、さらにEMI問題を低減する「ファラデー・ケージ（かご）」が形成される。実質的に、全てのドーター・ダイ回路とマザー・ダイ回路の一部とは、このかごの接地板間に含まれる。また、このパッケージの最も高い面、すなわちドーター・ダイの接地板は、壊れやすい回路または接続を全く含まないため、特に堅牢である。したがってカバーまたは封入剤がない場合でも、堅牢なアセンブリが提供される。

【0013】また、突出結合がないことで、必要なパッケージの高さを下げることとなり、これは、アセンブリが使用される小型電子装置において重要な要因となる場合が多い。マザー・ダイおよびドーター・ダイは同じシリコン基板部材を基本とすることが好ましいため、熱膨張係数を共有し、接続での大きな応力なく、幅広い範囲の温度に耐える。

【0014】図3に示すように、複数のドーター・ダイ22a、22bは、単一のマザー・ダイ上に設置されることが可能である。それらのドーター・ダイは、サイズおよび機能が異なってもよく、さらに異なるプロセスから作成されてもよい。ドーター・ダイは、寸法公差が精

密である場合、互いに隣接して配置されることが可能であり、あるいは図示するように間隔が最小である場合、ドーター・パターンに関連したドーター・ダイの縁部寸法におけるあらゆる変形にかかわらず、接続位置54への位置合わせが可能である。好適実施形態のように、ドーター・ダイはボンディング・パッドの領域およびボンディング用の必要間隙以外のあらゆる位置に配置されることが可能である。マザー・ダイが顕著な高さまたは間隙を必要とせずに接続される場合、ドーター・ダイはあらゆる位置で接続されることが可能である。

【0015】ドーター・ダイは、2つの半導体チップの前面間での接続を施すためのあらゆる最適手段によって、マザー・ダイに取付けられることが可能である。図4は、好適実施形態を示すもので、マザー・ダイおよびドーター・ダイのそれぞれは、各接続に対して1つのはんだバンプ60を有する。このはんだバンプは、各ダイ上で再分布層40に接続され、電気的接続を所望の回路に供給する。図5は、ドーター・ダイがはんだバンプ60を有する変形を示すもので、マザー・ダイは対応する位置に位置決め金属コンタクト62を有する。溶解した

はんだの表面張力効果によって、ドーター・ダイは、はんだ付け工程中に自己整合する。

【0016】図6は、金属または再分布層コンタクト・パッド64がドーター・ダイおよびマザー・ダイの両方の上の各接続位置に供給される、さらなる代替形態を示すものである。はんだ付けがないプロセスにおいて、導電性接着剤は、垂直導電のみが可能である異方性特性を有し、隣接する接続間での短絡を防ぐ。そのような接着剤は、「Z軸接着剤」としても既知である。この接着剤は、表面全体にわたって散布される液体またはペーストでもよく、または個々のパッドに選択的に塗布されてもよい。その場合は、等方性となる。あるいは、固体導電性接着剤のシートまたは一片は、Z軸導電のためにマザーおよびドーターのコンタクト間に配置されてもよく、その場合、その接着剤は、熱処理によって作用され、硬化される。

【0017】上記は、好適および代替実施形態に関連して説明されたが、本発明はそのように限定されることを意図したものではない。

* 【0018】

【発明の効果】以上のように、本発明を用いると、2つ以上の非互換性ICプロセスで作成されるチップの集積回路アセンブリにおいて、インダクタンスおよびEMIの影響を受けにくく、コストも安く、サイズも抑えることができる。

【図面の簡単な説明】

【図1】本発明の好適実施形態による回路アセンブリの、図2の線1-1に沿った断面図である。

【図2】図1の回路組み立ての平面図である。

【図3】本発明の代替実施形態による回路アセンブリの平面図である。

【図4】本発明の代替実施形態の分解断面図である。

【図5】本発明の代替実施形態の分解断面図である。

【図6】本発明の代替実施形態の分解断面図である。

【符号の説明】

10：集積回路アセンブリ

12：プリント回路基板

14：マザー・ダイ

16：マザー・ダイの下面

20：基板の上面

22a, 22b：ドーター・ダイ

24：ドーター・ダイの下面

26：マザー・ダイの上面

30：金属接地板

32：上部回路部

34：マザー・ダイの上層

36：ボンディング・パッド

40：マザー・ダイの再分布層

42：ボンディング・ワイヤー

44：ボンディング・パッド

46：接地板

50：回路部

52：ドーター・ダイの再分布層

54：コンタクト位置

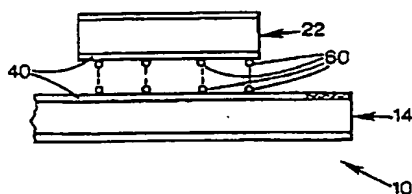
56：はんだ接合部

60：はんだバンプ

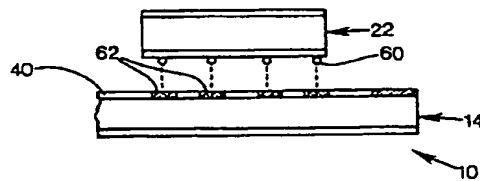
62：金属コンタクト

64：コンタクト・パッド

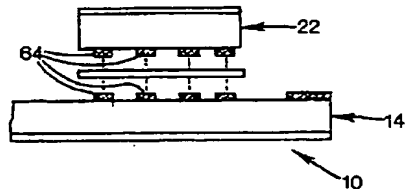
【図4】



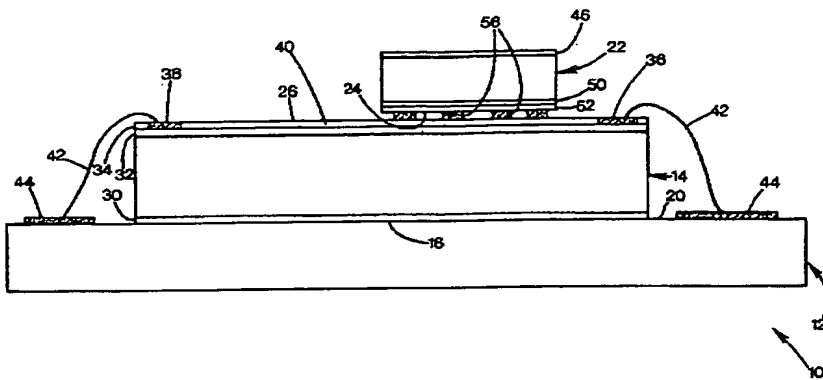
【図5】



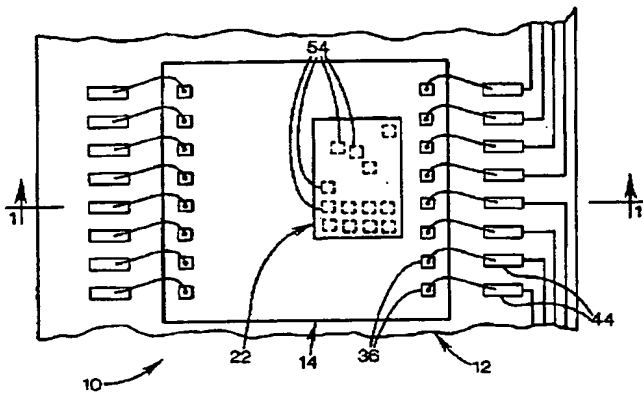
【図6】



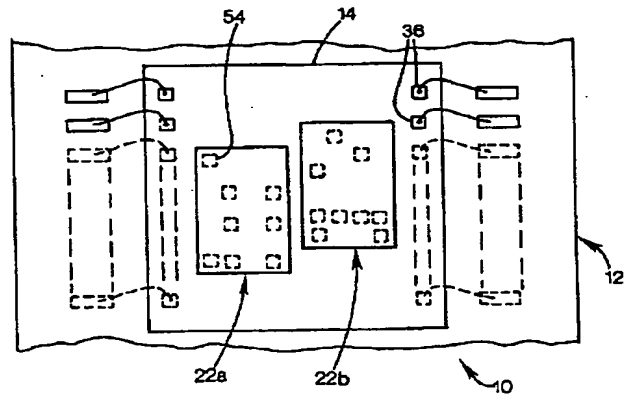
【図1】



【図2】



【図3】



フロントページの続き

(71)出願人 399117121
395 Page Mill Road P
alo Alto, California
U. S. A.

(72)発明者 ダニエル・アイ・クロフト
アメリカ合衆国オレゴン州モンマウス キ
ングズバリー・ハイウェイ 39107
(72)発明者 マイケル・ジー・ケリー
アメリカ合衆国オレゴン州コーバリス ノ
ース・ウエスト・バターカップ・ドライブ
3220